

## 60837 - Control digital con FPGA de etapas de potencia

### Información del Plan Docente

**Año académico:** 2024/25

**Asignatura:** 60837 - Control digital con FPGA de etapas de potencia

**Centro académico:** 110 - Escuela de Ingeniería y Arquitectura

**Titulación:** 532 - Máster Universitario en Ingeniería Industrial

**Créditos:** 6.0

**Curso:** 2

**Periodo de impartición:** Primer semestre

**Clase de asignatura:** Optativa

**Materia:**

### 1. Información básica de la asignatura

En esta asignatura se estudian las técnicas de implementación en FPGA de algoritmos de control digital para etapas de potencia, utilizando lenguaje VHDL y herramientas de síntesis de alto nivel (HLS). Para ello será necesario estudiar tres aspectos fundamentales: las técnicas de modulación y su implementación digital para generar las señales de disparo de los dispositivos; la implementación en coma fija y coma flotante de reguladores lineales; y las técnicas de simulación en lazo cerrado de todo el sistema, incluyendo la parte digital, analógica y de potencia, para verificar las prestaciones del control.

### 2. Resultados de aprendizaje

Es capaz de especificar y analizar sistemas electrónicos complejos con bloques analógicos, digitales y de potencia.

Es capaz de concebir y desarrollar sistemas digitales avanzados basados en dispositivos programables, dispositivos lógicos configurables y circuitos integrados, con dominio de las herramientas de descripción de hardware.

Aplica los conocimientos adquiridos para seleccionar una FPGA para un diseño dado en función de sus recursos hardware.

Diseña en VHDL moduladores digitales para las diferentes etapas de potencia.

Diseña reguladores lineales digitales utilizando aritmética en coma fija y coma flotante con herramientas de síntesis de alto nivel (HLS).

Conoce las metodologías basadas en herramientas de síntesis de alto nivel para implementar diseños digitales complejos en FPGA.

Verifica funcionalmente el diseño mediante simulación en lazo cerrado del control digital y de la etapa de potencia.

### 3. Programa de la asignatura

- T0. Presentación e introducción a la asignatura.
- T1. Diseño con FPGA para etapas de potencia.
- T2: Revisión de diseño con VHDL.
- T3: Generación digital de señales de disparo.
- T4: Diseño e implementación en HLS de reguladores digitales.
- T5: Simulación en VHDL/C de etapas de potencia.

Se realizarán 6 sesiones de prácticas de laboratorio para aplicar los temas de la asignatura a diseños reales.

### 4. Actividades académicas

- Clase magistral participativa: 20 horas  
Se expondrán los contenidos de la asignatura, con una orientación práctica hacia el diseño de sistemas electrónicos.
- Resolución de problemas y casos: 10 horas  
Se resolverán problemas prácticos de diseño.
- Prácticas de laboratorio: 18 horas  
Se utilizará el entorno integrado de diseño digital y placas de evaluación de FPGA para abordar el diseño y verificación de los distintos bloques estudiados en las clases.
- Estudio y trabajo personal: 96 horas
- Pruebas de evaluación: 6 horas

### 5. Sistema de evaluación

La asignatura se evaluará en la modalidad de evaluación global mediante las siguientes actividades:

**Examen global** con cuestiones teórico prácticas (50 % de la nota).

Se realizará en las convocatorias oficiales una prueba con cuestiones y problemas relativas tanto a los contenidos teóricos como a las prácticas realizadas. En el examen se podrán consultar los materiales del curso.

**Prácticas de laboratorio (50 % de la nota).**

Se evaluará el trabajo realizado en las sesiones de laboratorio pues se considera que el aprendizaje de esta materia está asociado a la experimentación práctica. Se evaluarán los siguientes aspectos:

- Preparación previa de la práctica.
- Manejo de las herramientas de diseño electrónico.
- Autonomía y participación de cada persona.
- Funcionamiento del diseño en la FPGA.
- Informe realizado al finalizar cada práctica.

La asignatura se supera con una calificación total mayor o igual que 5 puntos sobre 10.

Si no ha superado alguna de estas actividades durante el semestre, tendrá la oportunidad de superar la asignatura mediante una prueba global en las convocatorias oficiales.

## **6. Objetivos de Desarrollo Sostenible**

7 - Energía Asequible y No Contaminante

9 - Industria, Innovación e Infraestructura