

## 30235 - Procesadores comerciales

### Información del Plan Docente

**Año académico:** 2024/25

**Asignatura:** 30235 - Procesadores comerciales

**Centro académico:** 110 - Escuela de Ingeniería y Arquitectura

**Titulación:** 439 - Graduado en Ingeniería Informática

**Créditos:** 6.0

**Curso:** 3

**Periodo de impartición:** Segundo semestre

**Clase de asignatura:**

**Materia:**

### 1. Información básica de la asignatura

En esta asignatura se continúa la línea iniciada con las asignaturas “Arquitectura y Organización I y II”, buscando aumentar y profundizar los conocimientos teóricos y prácticos sobre organización del computador, arquitectura del procesador y su relación con el compilador.

Se termina conociendo ejemplos de las principales arquitecturas del mercado, lo que permitirá: i) conseguir códigos eficientes (en recursos, tiempo o consumo) para todas ellas, ii) analizar, evaluar y seleccionar las plataformas hardware más adecuadas para distintos ámbitos, iii) desarrollar nuevos procesadores adaptados a necesidades específicas.

Para cursar esta asignatura se recomienda haber cursado la asignatura Arquitectura y organización de computadores 2.

### 2. Resultados de aprendizaje

Conoce técnicas de aumento de prestaciones, tales como multithreading y ejecución fuera de orden, y sabe analizar su influencia en el rendimiento del sistema.

Conoce las arquitecturas de los procesadores contemporáneos de propósito general, identificando sus objetivos (coste, velocidad, consumo, etc.). Es capaz de mejorar el rendimiento de códigos críticos para objetivos concretos, de forma manual o guiando al compilador mediante las opciones de compilación.

Conoce extensiones de repertorio (multimedia, seguridad, etc.) y el papel del compilador en su explotación (vectorización, compilación iterativa, etc.).

Conoce varias arquitecturas de propósito específico, tales como microcontroladores, DSPs, procesadores multimedia, procesadores gráficos, o de red.

### 3. Programa de la asignatura

Presentación

Módulo 1: Organización del procesador

- Repaso segmentados: tratamiento de excepciones
- Operaciones multiciclo. Ejecución fuera de orden
- Renombre de registros y memoria. Predicción de saltos
- Multithreading

Módulo 2: Organización de la jerarquía de memoria

- Repaso: técnicas básicas de mejora de prestaciones
- Técnicas avanzadas de mejora de prestaciones
- Acceso segmentado a caches
- Caches multipuerto
- Caches no bloqueantes

- Prebúsqueda

### Módulo 3: Arquitectura de lenguaje máquina Opciones de diseño

- Ejemplo RISC: ARM
- Ejemplo CISC: Intel
- Ejemplo VLIW: DSP TMS

### Módulo 4: Compilación

- Etapas de compilación
- Asignación de registros y planificación de instrucciones
- Optimización
- Optimización de código orientada a la jerarquía

## 4. Actividades académicas

- Clases magistrales: se presentarán los aspectos principales de cada concepto.
- Clases de resolución de problemas: se resolverán problemas relacionados con el temario. Estas clases se intercalarán con las clases magistrales.
- Prácticas de laboratorio asistidas: se implementarán los principales componentes de un procesador de altas prestaciones en un simulador.
- Estudio y trabajo personal.
- Realización de las pruebas de evaluación correspondientes

## 5. Sistema de evaluación

La evaluación constará de tres partes:

1. Defensa de las prácticas de laboratorio (30 puntos).
2. Presentación de resultados sobre trabajo práctico no presencial (10 puntos).
3. Examen de teoría y problemas (60 puntos).

Para superar la asignatura se deberá obtener al menos 50 puntos sobre el total y al menos 24 puntos sobre 60, es decir, un 4 sobre 10, en el examen. En el caso de no alcanzar un 4 sobre 10 en el examen, la nota en la convocatoria coincidirá con la obtenida en dicho examen.

Se podrá pedir la realización de un apartado añadido en el examen para sustituir las notas de las partes 1 y 2.